

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-177527

(43) 公開日 平成10年(1998) 6月30日

(51) Int.Cl.⁸

G 0 6 F 12/16

1/26

1/30

G 1 1 C 16/02

識別記号

3 4 0

F I

G 0 6 F 12/16

1/00

G 1 1 C 17/00

3 4 0 M

3 3 0 D

3 4 1 L

6 0 1 P

6 1 2 F

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21) 出願番号

特願平9-269933

(22) 出願日

平成 9 年(1997)10月 2 日

(31) 優先権主張番号

特願平8-273564

(32) 優先日

平 8 (1996)10月16日

(33) 優先権主張国

日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 小柳 洋一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 清水 俊幸

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 長澤 俊一郎 (外1名)

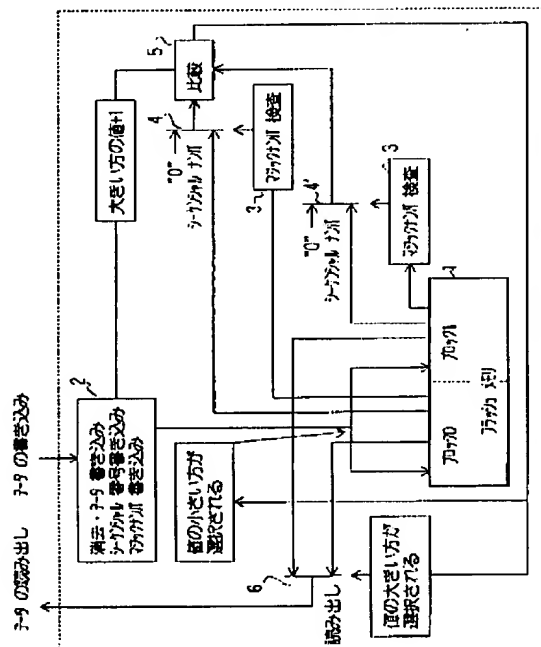
(54) 【発明の名称】 フラッシュメモリにおけるデータ書き込み/読み出し方法およびフラッシュメモリを用いた記憶装置

(57) 【要約】

【課題】 データ更新中に電源断になっても、情報が失われたり不正な値になってしまうことがないようにすること。

【解決手段】 フラッシュメモリ 1 にデータを書き込む際、ブロック 0、1 のマジックナンバを調べ、マジックナンバが共に正しい値のとき、両方のブロックのシーケンシャルナンバを比較して小さい方のブロックを選択し、該ブロックを消去してデータを書き込む。次にそのブロックのシーケンシャル番号に、他方のブロックのシーケンシャル番号に 1 を加えた値を書き込み、最後に上記ブロックにマジックナンバを書き込む。また、データを読み出す際には、ブロック 0、1 のマジックナンバを調べ、マジックナンバがともに正しい値のとき、シーケンシャルナンバの値の大きいブロックから読み出す。また、マジックナンバが正しくない場合には、そのブロックのシーケンシャルナンバを 0 として上記処理を行う。

本発明の原理構成図



【特許請求の範囲】

【請求項 1】 ブロック毎に消去ができ、バイト毎に書き込みができるフラッシュメモリのデータ更新方法であって、

フラッシュメモリを 2つのブロックに分割し、一つの記憶すべきデータ単位をフラッシュメモリの 2つのブロックに交互に書き込み、

データ読み出し時、2つのブロックに格納されたデータ単位の内、正常に書き込みが行われた最新のデータ単位を読み出すことを特徴とするフラッシュメモリのデータ更新方法。

【請求項 2】 ブロック毎に消去ができ、バイト毎に書き込みができるフラッシュメモリを用いた記憶装置であって、

フラッシュメモリを 2つのブロックに分割し、一つの記憶すべきデータ単位を上記 2つのブロックに交互に書き込み、2つのブロックに格納されたデータ単位の内、正常に書き込みが行われた最新のデータ単位を読み出す、書き込み／読み出し手段を設けたことを特徴とするフラッシュメモリを用いた記憶装置。

【請求項 3】 フラッシュメモリの各ブロックは、データが有効であることを示すマジックナンバと、データの書き込み履歴を示すシーケンシャルナンバからなるヘッダ領域を備えており、

書き込み／読み出し手段は上記マジックナンバと、シーケンシャルナンバを調べてデータ単位の書き込み、読み出しを行うことを特徴とする請求項 2のフラッシュメモリを用いた記憶装置。

【請求項 4】 上記書き込み／読み出し手段がフラッシュメモリに格納されたデータ単位を読み出す際、2つのブロックのヘッダ領域に格納されたマジックナンバを調べ、マジックナンバの一方が正しい値であるとき、マジックナンバの正しい値であるブロックから読み出すことを特徴とする請求項 3のフラッシュメモリを用いた記憶装置。

【請求項 5】 上記書き込み／読み出し手段がフラッシュメモリに格納されたデータ単位を読み出す際、2つのブロックのヘッダ領域に格納されたマジックナンバを調べ、マジックナンバがともに正しい値のとき、書き込み履歴を示すシーケンシャルナンバの値の大きいブロックから読み出すことを特徴とする請求項 3、4のフラッシュメモリを用いた記憶装置。

【請求項 6】 上記書き込み／読み出し手段がフラッシュメモリにデータ単位を書き込む際、2つのブロックのヘッダ領域に格納されたマジックナンバを調べ、マジックナンバがともに正しい値でないとき、第 1のブロックを選択してそのブロックを消去して書き込むべきデータ単位を第 1のブロックに書き込み、ついで該ブロックのヘッダ領域のシーケンシャル番号に 1を書き込み、最後に、該ブロックのヘッダ領域にマジックナンバを書き込

むことを特徴とする請求項 3、4または請求項 5のフラッシュメモリを用いた記憶装置。

【請求項 7】 上記書き込み／読み出し手段がフラッシュメモリにデータ単位を書き込む際、2つのブロックのヘッダ領域に格納されたマジックナンバを調べ、マジックナンバの一方のみが正しい値のとき、マジックナンバが正しい値でない方のブロックを選択して、該ブロックを消去して、書き込むべきデータ単位を上記ブロックに書き込み、ついで該ブロックのヘッダ領域のシーケンシャル番号に、他方のブロックのヘッダ領域に記憶されているシーケンシャル番号に 1を加えた値を書き込み、最後に、上記ブロックのヘッダ領域にマジックナンバを書き込むことを特徴とする請求項 3、4、5または請求項 6のフラッシュメモリを用いた記憶装置。

【請求項 8】 上記書き込み／読み出し手段がフラッシュメモリにデータ単位を書き込む際、2つのブロックのヘッダ領域に格納されたマジックナンバを調べ、マジックナンバが共に正しい値のとき、両方のブロックからシーケンシャルナンバを読み出して比較し、シーケンシャルナンバの値が小さい方のブロックを選択し、該ブロックを消去して書き込むべきデータ単位を書き込み、ついで該ブロックのヘッダ領域のシーケンシャル番号に、他方のブロックのヘッダ領域に記憶されているシーケンシャル番号に 1を加えた値を書き込み、最後に、上記ブロックのヘッダ領域にマジックナンバを書き込むことを特徴とする請求項 3、4、5または請求項 6のフラッシュメモリを用いた記憶装置。

【請求項 9】 ブロック毎に消去ができ、バイト毎に書き込みができるフラッシュメモリのデータ書き込み／読み出しプログラムを記録した媒体であって、

上記プログラムは、一つの記憶すべきデータ単位を 2つに分割されたフラッシュメモリの各ブロックに交互に書き込み、

データ読み出し時、2つのブロックに格納されたデータ単位の内、正常に書き込みが行われた最新のデータ単位を読み出すことを特徴とするフラッシュメモリのデータ書き込み／読み出しプログラムを記録した媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 パソコン、ワークステーション、汎用計算機、スーパーコンピュータ、携帯端末、携帯電話等を含むコンピュータ、通信機器の内部で、電源を切っても記憶内容が消えることがないフラッシュメモリが多用されるようになってきている。本発明は上記したフラッシュメモリにおけるデータの書き込み／読み出し方法およびフラッシュメモリを用いた記憶装置に関するし、特に本発明は、書き込み途中で突然の電源断が発生しても記憶内容が失われることがないフラッシュメモリにおけるデータの書き込み／読み出し方法およびフラッシュメモリを用いた記憶装置に関するものである。

【0002】

【従来の技術】フラッシュメモリは、それ自身、電源を切っても記憶が消えない性質を持つメモリデバイスであり、従来から携帯電話などの小型電子機器の内部設定値の記憶や、固定ディスク装置に置き換えて使用できる半導体ディスク等に応用されている。上記した従来のフラッシュメモリの応用においては、フラッシュメモリへのデータの書き込み途中における突然の電源断の発生については考慮されておらず、最悪の場合にはそれまでにフラッシュメモリに書き込んだ設定値が失われて装置が起動しないなどの影響を及ぼす可能性があった。

【0003】

【発明が解決しようとする課題】フラッシュメモリへのデータの書き込みは、通常、チップ全体または全体をいくつかの部分に分割したブロック単位に消去したのち、1バイト毎のデータを書き込んでいく。このため、フラッシュメモリのデータを更新する際に、消去を行った直後またはデータを書き込んでいる最中に電源断が発生すると、更新前のデータは消去されたが新しいデータが書き込まれずに装置が停止することとなる。したがって、次に装置を起動してデータを読もうとした時に一貫性が失われて情報が失われるしまう。本発明は上記した従来技術の問題点を考慮してなされたものであって、その目的とするところは、データ更新中に電源断になっても、情報が失われたり不正な値になってしまうことがないフラッシュメモリにおけるデータの書き込み/読み出し方法およびフラッシュメモリを用いた記憶装置を提供することである。

【0004】

【課題を解決するための手段】図1は本発明の原理図である。同図は原理動作を示すため、一つのデータ単位を扱う記憶装置として構成されている。同図において、1はフラッシュメモリであり、フラッシュメモリ1はブロック0とブロック1の2つのブロックから構成されており、フラッシュメモリ1の各ブロック0、1には、データの書き込み順序を示すシーケンシャル・ナンバと、データが有効であるか否かを管理するためのマジック・ナンバと、実際のデータが書き込まれる。2はフラッシュメモリを消去したり、フラッシュメモリに、データ、シーケンシャル・ナンバ、マジック・ナンバを書き込む消去・書き込み手段、3はマジック・ナンバが正しい値であるか否かを調べるマジック・ナンバ検査手段である。

【0005】4、4'、6はセレクト手段であり、セレクト手段4、4'はマジック・ナンバ検査手段3によりマジック・ナンバが正しいと判断された場合には、フラッシュメモリ1から読み出されたシーケンシャル・ナンバを選択して出力し、マジック・ナンバが正しい場合、"0"を選択して出力する。セレクト手段6は、後述する比較手段5の比較結果に基づき、上記セレクト手段4、4'が出力するシーケンシャル・ナンバの値の大

きい方のフラッシュメモリ1のブロックからデータを読み出す。

【0006】5は比較手段であり、比較手段5はセレクト手段4、4'の出力を比較する。そして、その比較結果に基づき次のようにしてフラッシュメモリ1からのデータの読み出し、消去、書き込みが行われる。

データの読み出し時、セレクト手段4、4'が出力するシーケンシャル・ナンバの内、シーケンシャル・ナンバが大きい方のフラッシュメモリ1のブロックをセレクト手段6により選択し、そのブロックからデータを読み出す。

データの書き込み時、セレクト手段4、4'が出力するシーケンシャル・ナンバの内、シーケンシャル・ナンバが小さい方のフラッシュメモリ1のブロックを消去してデータを書き込む。また、ブロック0、1のシーケンシャルナンバの内、大きい方のシーケンシャルナンバの値を+1して、データを書き込んだブロックにシーケンシャルナンバの値を書き込む。

【0007】次に、本発明により〔書き込み〕、〔読み出し〕を繰り返して行ったときの動作を説明する。なお、初期状態では、フラッシュメモリ1の値は全て0xFFである。また、マジック・ナンバの値は任意の特定値を用いることができるが、ここでは、0x12345678(32bit)とする。シーケンシャル番号は、4バイト(32bit)で表される整数でヘッダに書き込まれるものとする。次に図2～図7により、本発明において、書き込み、読み出しを繰り返して行う場合の動作を説明する。

【0008】(a) データAの書き込み

初期状態においては、図2に示すように、フラッシュメモリ1のそれぞれのブロックのマジックナンバはどちらも0xFFFFFFFFであり、正しい値ではない。マジックナンバの値が正しくない時、図1にセレクト手段4、4'は"0"を選択する。すなわち、シーケンシャルナンバは"0"と見なされる。このようにすれば、"0"より小さい小さい値はないので、データの書き込み時、マジックナンバの正しくない方のブロックが消去され、データが書き込まれることとなる(図1に示すようにシーケンシャルナンバの値の小さい方のブロックにデータが書き込まれるため)。また、データの読み出し時には、マジックナンバの正しい方のブロックからデータが読み出されることとなる(図1に示すようにシーケンシャルナンバの大きい方のブロックからデータが読み出されるため)。

【0009】最初は、マジックナンバが両ブロックとも正しくないで、どちらも0と見なされ、比較の結果はどちらでもよいが、ここではデータを書き込むブロックとして、ブロック0を選択するとする。ブロック0が選択されると、図2に示すように、消去・書き込み手段2はブロック0を消去し、データAを書き込む。ついで、ブロック0、1のシーケンシャルナンバの内、大きい方

5

の値0を+1して1を得て、ブロック0のシーケンシャルナンバに1を書き込む。最後にマジックナンバ0x12345678をブロック0に書き込む。

【0010】(b) データの読み出し

図3に示すように、ブロック0のマジックナンバは正しいので、セクタ手段4を介してブロック0のシーケンシャルナンバは1と読み出される。また、ブロック1のマジックナンバは正しくないで、セクタ手段4'によりブロック1のシーケンシャル番号は0とみなされる。比較手段5はこれらと比較し、セクタ手段6が、

【0011】(c) データBの書き込み（データA→Bへの内容更新）

図3に示すようにフラッシュメモリ1のブロック0にデータAが書き込まれた状態からフラッシュメモリ1の内容をデータBに更新する場合は、図4に示すようにシーケンシャルナンバが0と見なされるブロック1に新たなデータBが書き込まれ、ブロック1のシーケンシャルナンバに2が設定される。すなわち、次のようにしてデータBが書き込まれる。ブロック0のマジックナンバは正しいので、ブロック0のシーケンシャルナンバは1と読み出され、また、ブロック1のマジックナンバは正しくないで、0と見なされる。比較手段5はこれらと比較して、図4に示すように、シーケンシャルナンバの値の小さい方のブロックであるブロック1を選択し、ブロック1を消去してデータBを書き込む。ついで、ブロック0, 1のシーケンシャルナンバの内、大きい方の値1に1を加えて2を得て、ブロック1のシーケンシャルナンバに2を書き込む。最後にブロック1にマジックナンバ0x12345678を書き込む。

【0012】(d) データの読み出し

図4に示すデータA, Bが書き込まれたフラッシュメモリ1からのデータの読み出しは次のように行われる。図5に示すように、ブロック0のマジックナンバは正しいので、シーケンシャルナンバは1と読み出される。また、ブロック1のマジックナンバも正しいので、ブロック1のシーケンシャル番号は2と読み出される。比較手段5はこれらと比較して、シーケンシャルナンバの値の大きい方のブロック1が選択され、ブロック1に書き込まれたデータBが読み出される。すなわち、新たに書き込まれたデータBが読み出され、データがA→Bに更新されたように読み出される。ここで、データBの着込み中に電源断になると、更新データBの書き込みは中断されデータBは書き込みが不完全となるが、ブロック0のデータAが残っており、データが消えてしまうことがない。

【0013】(e) データCの書き込み（データB→Cへの内容更新）

6

図5に示すようにフラッシュメモリ1のブロック0, 1にそれぞれデータA, Bが書き込まれた状態からフラッシュメモリ1の内容をデータCに更新する場合は、図6に示すようにシーケンシャルナンバが1と見なされるブロック0に新たなデータCが書き込まれ、ブロック0のシーケンシャルナンバに3が設定される。すなわち、次のようにしてデータCが書き込まれる。ブロック0のマジックナンバは正しいので、ブロック0のシーケンシャルナンバは1と読み出され、また、ブロック1のマジックナンバは正しいので、2と読み出される。比較手段5はこれらと比較して、図6に示すように、シーケンシャルナンバの値の小さい方のブロックであるブロック0を選択し、ブロック0を消去してデータCを書き込む。ついで、ブロック0, 1のシーケンシャルナンバの内、大きい方の値2に1を加えて3を得て、ブロック0のシーケンシャルナンバに3を書き込む。最後にブロック0にマジックナンバ0x12345678を書き込む。

【0014】(f) データの読み出し

図6に示すデータB, Cが書き込まれたフラッシュメモリ1からのデータの読み出しは次のように行われる。図7に示すように、ブロック0のマジックナンバは正しいので、シーケンシャルナンバは3と読み出される。また、ブロック1のマジックナンバも正しいので、ブロック1のシーケンシャル番号は2と読み出される。比較手段5はこれらと比較して、シーケンシャルナンバの値の大きい方のブロック0が選択され、ブロック0に書き込まれたデータCが読み出される。すなわち、新たに書き込まれたデータCが読み出され、データがB→Cに更新されたように読み出される。

【0015】以上の操作を繰り返すことで、常に更新されたデータが正しく読み出される。以上の過程のどこかの操作で、突然の電源断などで処理が不完全のままになってしまった場合、上記したように、2つのブロックの内的一方しか消去/書き込み操作をしておらず、しかも、マジックナンバおよびシーケンシャルナンバにより、それぞれのブロックのデータのどちらが正しいもので、かつ新しいものを管理しているので、データが失われたり内容が破壊されてしまうことがない。例えば、図6において、データCを書き込んだのち、シーケンシャルナンバを書き込んでいるときに電源断が発生した場合であっても、マジックナンバは最後に書き込まれるので、マジックナンバが正しい値にならずそのデータが正しいものと認識されることがない。

【0016】以上のように本発明は次のようにして前記課題を解決する。

(1) ブロック毎に消去ができ、バイト毎に書き込みができるフラッシュメモリにおいて、一つの記憶すべきデータ単位をフラッシュメモリの2つのブロックに交互に書き込み、データ読み出し時、2つのブロックに格納されたデータ単位の内、正常に書き込みが行われた最新の

データ単位を読み出す。

(2) フラッシュメモリの各ブロックに、データが有効であることを示すマジックナンバと、データの書き込み履歴を示すシーケンシャルナンバからなるヘッダ領域を設け、上記マジックナンバと、シーケンシャルナンバを調べてデータ単位の書き込み、読み出しを行う。

(3) フラッシュメモリに格納されたデータ単位を読み出す際、2つのブロックのヘッダ領域に格納されたマジックナンバを調べ、マジックナンバの一方が正しい値であるとき、マジックナンバの正しい値であるブロックから読み出す。

(4) フラッシュメモリに格納されたデータ単位を読み出す際、2つのブロックのヘッダ領域に格納されたマジックナンバを調べ、マジックナンバがともに正しい値のとき、書き込み履歴を示すシーケンシャルナンバの値の大きいブロックから読み出す。

【0017】(5) フラッシュメモリにデータ単位を書き込む際、2つのブロックのヘッダ領域に格納されたマジックナンバを調べ、マジックナンバがともに正しい値でないとき、第1のブロックを選択してそのブロックを消去して書き込むべきデータ単位を第1のブロックに書き込み、ついで該ブロックのヘッダ領域のシーケンシャル番号に1を書き込み、最後に、該ブロックのヘッダ領域にマジックナンバを書き込む。

(6) フラッシュメモリにデータ単位を書き込む際、2つのブロックのヘッダ領域に格納されたマジックナンバを調べ、マジックナンバの一方のみが正しい値のとき、マジックナンバが正しい値でない方のブロックを選択して、該ブロックを消去して、書き込むべきデータ単位を上記ブロックに書き込む。ついで該ブロックのヘッダ領域のシーケンシャル番号に、他方のブロックのヘッダ領域に記憶されているシーケンシャル番号に1を加えた値を書き込み、最後に、上記ブロックのヘッダ領域にマジックナンバを書き込む。

(7) フラッシュメモリにデータ単位を書き込む際、2つのブロックのヘッダ領域に格納されたマジックナンバを調べ、マジックナンバが共に正しい値のとき、両方のブロックからシーケンシャルナンバを読み出して比較し、シーケンシャルナンバの値が小さい方のブロックを選択し、該ブロックを消去して書き込むべきデータ単位を書き込む。ついで該ブロックのヘッダ領域のシーケンシャル番号に、他方のブロックのヘッダ領域に記憶されているシーケンシャル番号に1を加えた値を書き込み、最後に、上記ブロックのヘッダ領域にマジックナンバを書き込む。

【0018】

【発明の実施の形態】次に、計算機のシステムのシステム制御装置において、システムの構成情報などのデータをフラッシュメモリにより設定する実施例について説明する。なお、以下の説明では、ソフトウェアによりフラ

ッシュメモリの消去、書き込み操作に行う場合について説明するが、本発明は、ハードウェアにより実現することもできる。

【0019】図8は本発明の実施例のシステムの構成を示す図である。同図において、10は計算機システム、11はホスト計算機であり、ホスト計算機11は計算機システム10のシステム制御装置12内に設けられたホストインタフェース12bを介して計算機システム10と接続されている。計算機システム10において、12はシステム制御装置であり、システム制御装置12はマイクロプロセッサ12aと、前記ホストインタフェース12bと、前記システム構成情報等を記憶するフラッシュメモリ12cと、複数の演算装置13およびネットワーク装置14と接続される制御インタフェース12dを備えている。演算装置13はネットワーク装置14を介して相互に接続されており、演算装置13により各種処理が行われる。また、15は、プリンタ、キーボード、ディスプレイ、外部記憶装置等の各種I/O装置である。

【0020】上記計算機システム10のシステム制御装置12においては、計算機システム10の電源制御やエラー監視などの機能を実現するため、システム構成要素(演算装置13やI/O装置15)の数や種類を記憶しておかなければならない。システムの構成の変更や増設の際には、この設定値は変更されるが、この情報が失われるとシステム全体の起動/停止やエラー監視が不可能となり、重大な支障をきたす。そこで、本実施例においては、上記フラッシュメモリ12cを前記したようにブロック0、ブロック1に分け、それぞれのブロックに交互に上記システム構成要素の数や種類に関するデータを書き込み、また、それぞれのブロックから交互に上記データを読み出す。

【0021】図9、図10は本実施例におけるデータの書き込み/読み出し処理を示すフローチャートであり、同図を参照しながら本実施例の処理を説明する。フラッシュメモリ12cに上記システム構成要素の数や種類に関するデータを書き込む際、ホスト計算機11はシステム制御装置12に対して設定データを書き込むコマンドを発行し、上記システム構成要素の数や種類に関するデータを送る。上記コマンドとデータはシステム制御装置12のホストインタフェース12bで受信され、マイクロプロセッサ12aは上記データをフラッシュメモリ12cに書き込む。

【0022】図9は上記データを書き込む際のフローチャートである。データの書き込み時、まず、マイクロプロセッサ12aは、フラッシュメモリ12cのブロック0のマジックナンバを読み出してメモリ等の記憶領域magic0に書き込む(図9のステップS1)。ついで、magic0に書き込まれたブロック0のマジックナンバが0x12345678であるか否かを確認する(ステップS2)。ブロッ

ク 0 のマジックナンバーが正しい値であると（上記 0x12345678 に等しい）、ステップ S 4 に進み、マイクロプロセッサ 12a は、ブロック 0 のシーケンシャルナンバーを読み出して、記憶領域 seq0 に書き込む。また、マジックナンバーが正しい値でない場合には（上記 0x12345678 に等しくない）、記憶領域 seq0 に 0 を書き込み、ステップ S 5 に進む。ステップ S 5 において、ブロック 1 のマジックナンバーを読み出して、記憶領域 magic1 に書き込む。

【0023】 ついで、magic1 に書き込まれたブロック 1 のマジックナンバーが 0x12345678 であるか否かを確認する（ステップ S 6）。ブロック 1 のマジックナンバーが正しい値であると（上記 0x12345678 に等しい）、ステップ S 8 に進み、マイクロプロセッサ 12a はブロック 1 のシーケンシャルナンバーを読み出して、記憶領域 seq1 に書き込む。また、マジックナンバーが正しい値でない場合には（上記 0x12345678 に等しくない）、記憶領域 seq1 に 0 を書き込み、ステップ S 9 に進む。ステップ S 9 において、マイクロプロセッサ 12a は seq0 と seq1 の値を比較し、seq0 の値が seq1 の値より小さい場合には、ブロック 0 を消去して（ステップ 10）、データをブロック 0 に書き込む（ステップ S 11）。そして、ブロック 1 のシーケンシャルナンバー seq1 の値に 1 を加えて、ブロック 0 のシーケンシャルナンバー格納域に格納する（ステップ S 12）。さらに、ブロック 0 のマジックナンバー格納域にマジックナンバー（=0x12345678）を書き込み（ステップ S 13）処理を終了する。

【0024】 また、seq0 の値が seq1 の値より大きい場合には、ブロック 1 を消去して（ステップ 14）、データをブロック 1 に書き込む（ステップ S 15）。そして、ブロック 1 のシーケンシャルナンバー seq0 の値に 1 を加えて（ステップ S 16）、ブロック 1 のシーケンシャルナンバー格納域に格納する。さらに、ブロック 1 のマジックナンバー格納域にマジックナンバー（=0x12345678）を書き込み（ステップ S 17）、処理を終了する。上記のようにして、フラッシュメモリ 12c にシステム構成要素の数や種類に関するデータが書き込まれると、システムの起動等の際、システム制御装置 12 のマイクロプロセッサ 12a は、上記フラッシュメモリ 12c に書き込まれたデータを読み出し、その情報等に基いて演算装置 13 等に制御インタフェース 12d を介して制御信号等を送出する。

【0025】 図 10 はフラッシュメモリ 12c に書き込まれたデータを読み出す際の処理を示すフローチャートである。データの読み出し時、まず、マイクロプロセッサ 12a は、フラッシュメモリ 12c のブロック 0 のマジックナンバーを読み出して記憶領域 magic0 に書き込む

（図 10 のステップ S 1）。ついで、magic0 に書き込まれたブロック 0 のマジックナンバーが 0x12345678 であるか否かを確認する（ステップ S 2）。ブロック 0 のマジックナンバーが正しい値であると（上記 0x12345678 に等し

い）、ステップ S 4 に進み、マイクロプロセッサ 12a は、ブロック 0 のシーケンシャルナンバーを読み出して、記憶領域 seq0 に書き込む。また、マジックナンバーが正しい値でない場合には（上記 0x12345678 に等しくない）、マイクロプロセッサ 12a の記憶領域 seq0 に 0 を書き込み、ステップ S 5 に進む。

【0026】 ステップ S 5 において、ブロック 1 のマジックナンバーを読み出して、記憶領域 magic1 に書き込む。ついで、magic1 に書き込まれたブロック 1 のマジックナンバーが 0x12345678 であるか否かを確認する（ステップ S 6）。ブロック 1 のマジックナンバーが正しい値であると（上記 0x12345678 に等しい）、ステップ S 8 に進み、マイクロプロセッサ 12a はブロック 1 のシーケンシャルナンバーを読み出して、記憶領域 seq1 に書き込む。また、マジックナンバーが正しい値でない場合には（上記 0x12345678 に等しくない）、記憶領域 seq1 に 0 を書き込み、ステップ S 9 に進む。

【0027】 ステップ S 9 において、マイクロプロセッサ 12a は seq0 と seq1 の値を比較し、seq0 の値が seq1 の値より小さい場合には、データをブロック 1 から読み出す。（ステップ S 10）。また、seq0 の値が seq1 の値より大きい場合には、データをブロック 0 から読み出す。（ステップ 11）

以上のように、マジックナンバーによりデータの正さを確認しながら、シーケンシャルナンバーによりデータの更新順序を確認し、フラッシュメモリの 2 つのブロックに交互にデータを書き込むとともに、フラッシュメモリの 2 つのブロックから交互にデータを読み出すことにより、電源断になってもデータが失われたり、破壊されることがない。

【0028】

【発明の効果】 以上説明したように本発明においては、フラッシュメモリの各ブロックにデータが有効であることを示すマジックナンバーと、データの書き込み履歴を示すシーケンシャルナンバーを示すヘッダ領域を設け、各ブロックのマジックナンバーと、シーケンシャルナンバーを調べ、一つの記憶すべきデータ単位をフラッシュメモリの 2 つのブロックに交互に書き込み、データ読み出し時、2 つのブロックに格納されたデータ単位の内、正常に書き込みが行われた最新のデータ単位を読み出すようにしているので、いかなるタイミングにおいても装置の電源断によって情報が失われることがない。また、フラッシュメモリのデータ更新中であった場合には、更新が失敗するだけであり、以前に書き込まれた情報がなくなってしまうことがない。

【図面の簡単な説明】

【図 1】 本発明の原理構成図である。

【図 2】 本発明における書き込み／読み出し動作を説明する図（その 1）である。

【図 3】本発明における書き込み／読み出し動作を説明する図（その 2）である。

【図 4】本発明における書き込み／読み出し動作を説明する図（その 3）である。

【図 5】本発明における書き込み／読み出し動作を説明する図（その 4）である。

【図 6】本発明における書き込み／読み出し動作を説明する図（その 5）である。

【図 7】本発明における書き込み／読み出し動作を説明する図（その 6）である。

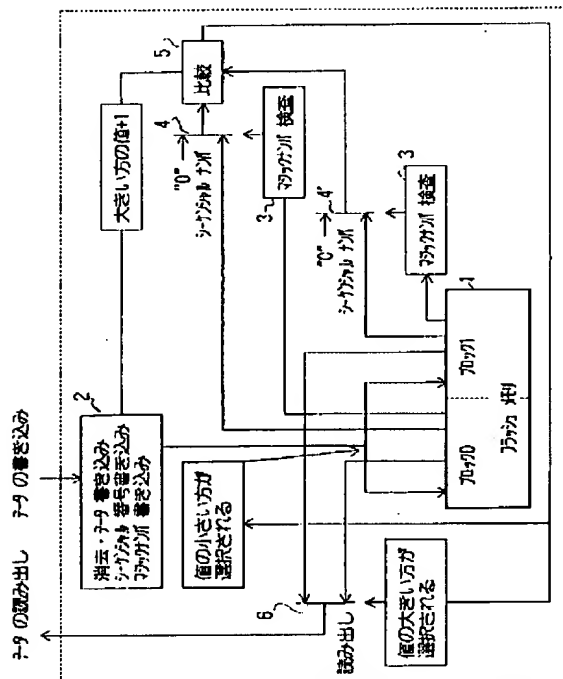
【図 8】本発明の実施例のシステムの構成を示す図である。

【図 9】本発明の実施例の書き込み／読み出し処理を示す図（その 1）である。

【図 10】本発明の実施例の書き込み／読み出し処理を示す図（その 2）である。

【図 1】

本発明の原理構成図

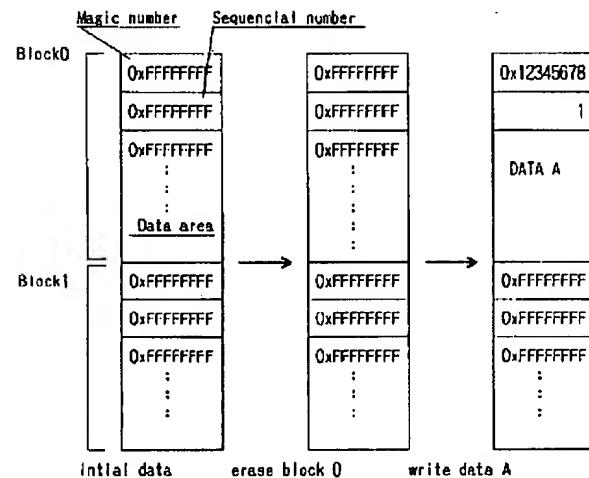


【符号の説明】

1	フラッシュメモリ
2	消去・書き込み手段
3	マジック・ナンバー検出手段
4, 4', 6	セレクト手段
5	比較手段
10	計算機システム
11	ホスト計算機
12	システム制御装置
10 12 a	マイクロプロセッサ
12 b	ホストインタフェース
12 c	フラッシュメモリ
12 d	制御インタフェース
13	演算装置
14	ネットワーク装置
15	I/O装置

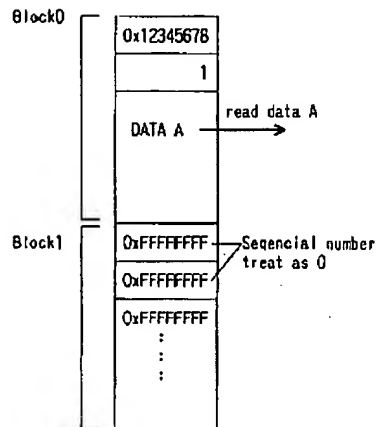
【図 2】

本発明における書き込み／読み出し動作を説明する図（その 1）



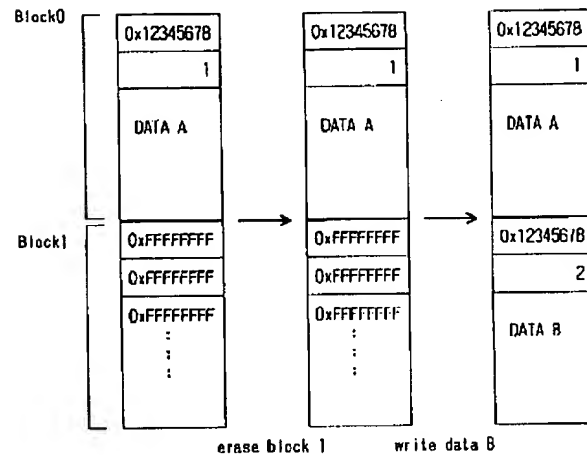
【図 3】

本発明における書き込み／読み出し動作を説明する図（その 2）



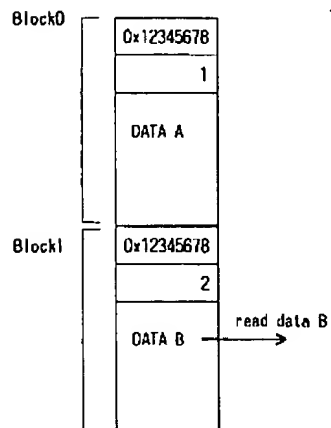
【図 4】

本発明における書き込み／読み出し動作を説明する図（その 3）



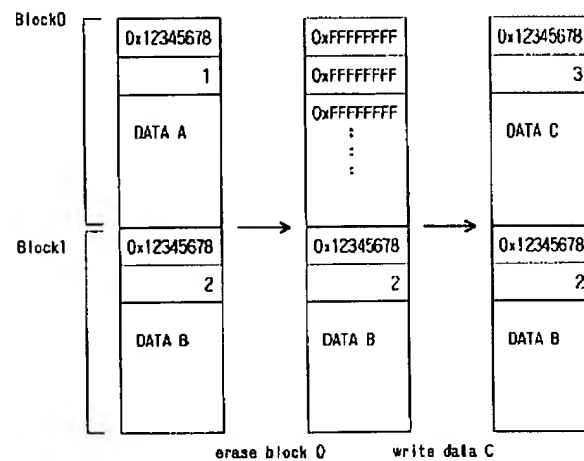
【図 5】

本発明における書き込み／読み出し動作を説明する図（その 4）



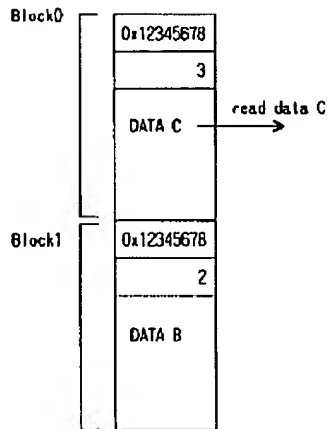
【図 6】

本発明における書き込み／読み出し動作を説明する図（その 5）



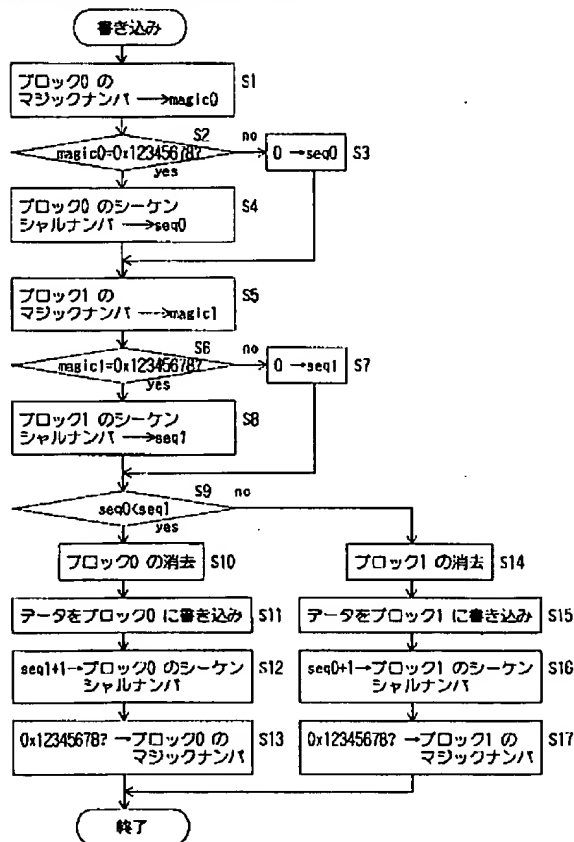
【図 7】

本発明における書き込み／読み出し動作を説明する図（その 6）



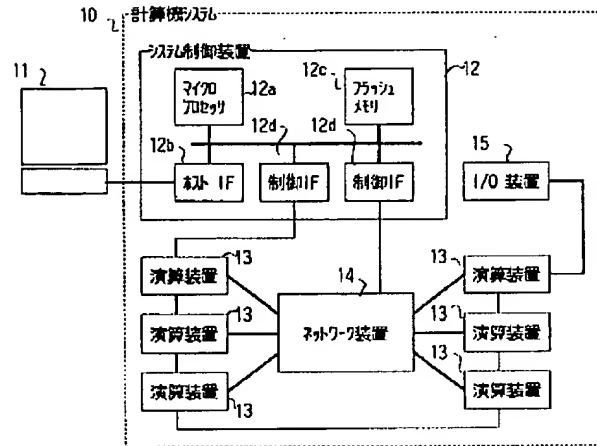
【図 9】

本発明の実施例の書き込み／読み出し処理を示す図（その 1）



【図 8】

本発明の実施例のシステムの構成を示す図



【図 10】

本発明の実施例の書き込み／読み出し処理を示す図（その 2）

